

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
3. Juli 2003 (03.07.2003)

PCT

(10) Internationale Veröffentlichungsnummer
WO 03/054933 A1

(51) Internationale Patentklassifikation⁷: **H01L 21/02**

SCHRENK, Michael [DE/DE]; Seeweg Süd 68, 86911
Diessen am Ammersee (DE). SCHWERD, Markus
[DE/DE]; Carl-Weinberger-Strasse 18, 32607 Holzkirchen
(DE).

(21) Internationales Aktenzeichen: PCT/EP02/12213

(22) Internationales Anmeldedatum:
31. Oktober 2002 (31.10.2002)

(74) Anwalt: ZIMMERMANN & PARTNER; Postfach 330
920, 80069 Munich (DE).

(25) Einreichungssprache: Deutsch

(81) Bestimmungsstaaten (national): CN, JP, KR, US.

(26) Veröffentlichungssprache: Deutsch

(84) Bestimmungsstaaten (regional): europäisches Patent (AT,
BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR,
IE, IT, LU, MC, NL, PT, SE, SK, TR).

(30) Angaben zur Priorität:
101 61 285.0 13. Dezember 2001 (13.12.2001) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-
Martin-Str. 53, 81669 München (DE).

Veröffentlicht:
— mit internationalem Recherchenbericht

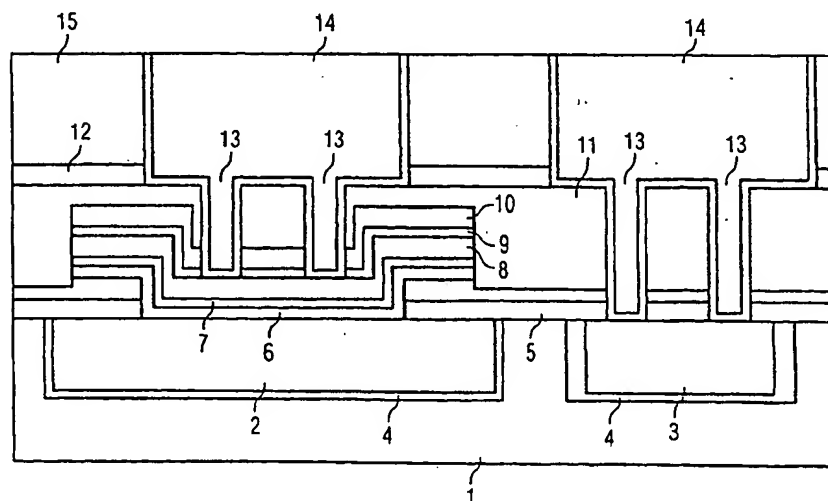
Zur Erklärung der Zweibuchstaben-Codes und der anderen
Abkürzungen wird auf die Erklärungen ("Guidance Notes on
Codes and Abbreviations") am Anfang jeder regulären Ausgabe
der PCT-Gazette verwiesen.

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): KÖRNER, Hein-
rich [DE/DE]; Föhrenstr. 31, 82052 Bruckmühl (DE).

(54) Title: INTEGRATED SEMICONDUCTOR PRODUCT COMPRISING A METAL-INSULATOR-METAL CAPACITOR

(54) Bezeichnung: INTEGRIERTES HALBLEITERPRODUKT MIT METALL-ISOLATOR-METALL-KONDENSATOR



(57) Abstract: According to the invention, in order to produce an integrated semiconductor product comprising integrated metal-insulator-metal capacitors, a dielectric protective layer (5) and a dielectric auxiliary layer (16) are first deposited on a first electrode (2). Said protective layer and said auxiliary layer (16) are then removed (17) from the region above the first electrode, and a dielectric layer (6) is produced, the pile of metallic strips (7, 8, 9) for the second electrode being applied to said dielectric layer. The metal-insulator-metal capacitor is then structured according to known etching methods. Dielectric capacitor layers consisting of freely selectable materials and having any thickness can be formed in this way. The present invention is especially advantageous in that it enables via holes to be etched in a significantly more simple manner than according to prior art, as the remaining dielectric capacitor layer covering the metallic strips does not need to be etched through.

[Fortsetzung auf der nächsten Seite]



WO 03/054933 A1



(57) Zusammenfassung: Zur Herstellung eines integrierten Halbleiterprodukts mit integrierten Metall-Isolator-Metall-Kondensators wird zu-nachst auf eine erste Elektrode (2) eine dielektrische Schutzschicht (5) und eine dielektrische Hilfsschicht (16) abgeschieden. Die Schutzschicht und die Hilfsschicht (16) werden dann über der ersten Elektrode geoffnet (17). Anschließend wird eine dielektrische Schicht (6) erzeugt, auf die dann der Metallbahnstapel (7, 8, 9) für die zweite Elektrode aufgebracht wird. Danach erfolgt die Strukturierung des Metall-Isolator-Metall-Kondensators mit bekannten Ätzverfahren. Dadurch werden dielektrische Kondensatorschichten mit frei wählbaren Materialien in beliebiger Dicke ermöglicht. Insbesondere besitzt die vorliegende Erfindung den Vorteil, dass Via-Ätzungen deutlich einfacher als nach dem Stand der Technik durchgeführt werden können, da kein Durchätzen der restlichen, dielektrischen Kondensatorschicht über den Metallbahnen notwendig ist.

Beschreibung

Integriertes Halbleiterprodukt mit Metall-Isolator-Metall-Kondensator

Die vorliegende Erfindung betrifft ein integriertes Halbleiterprodukt mit Leiterbahnen und einem Metall-Isolator-Metall-Kondensator. Die vorliegende Erfindung betrifft insbesondere ein integriertes Halbleiterprodukt mit Leiterbahnen, die als wesentlichen Bestandteil Kupfer aufweisen.

Hochfrequenzschaltungen in BIPOLAR-, BICMOS- und CMOS-Technologie benötigen integrierte Kondensatoren mit hoher Spannungslinearität, genau einstellbaren Kapazitätswerten und vor allem niedrigen parasitären Kapazitäten. Die bisher eingesetzten konventionellen MOS- bzw. MIS-Kondensatoren weisen aufgrund spannungsinduzierter Raumladungszonen eine ungenügende Spannungslinearität auf. Der geringe Abstand zum Substrat bringt außerdem zahlreiche parasitäre Kapazitäten mit sich.

Diese Schwierigkeiten lassen sich durch den Einsatz sogenannter Metall-Isolator-Metall-Kondensatoren (MIM-Kondensatoren) umgehen, die üblicherweise zwischen zwei Metallisierungsebenen angeordnet sind und die somit einen deutlich größeren Abstand zum Substrat aufweisen. Dabei sollen diese Metall-Isolator-Metall-Kondensatoren möglichst ohne Veränderung und Beeinflussung der benachbarten Leiterbahnen in die vorhandenen Konzepte für eine Mehrlagenmetallisierung integriert werden.

Moderne Mehrlagenmetallisierungen werden bevorzugt mit dem „Damascene“-Verfahren hergestellt. Dabei werden die Strukturen für zukünftige Leiterbahnen oder Vias in das Intermetall-Dielektrikum geätzt. Daran anschließend werden diese Strukturen mit dem Leitbahnmateriail (z.B. Kupfer) gefüllt. Das auf der Oberfläche verbliebene Metall wird dann in einem

abschließenden chemisch-mechanischen Polierschritt (CMP) wieder entfernt. Ein Vorteil der „Damascene“-Technik liegt darin, daß man sie auch bei sehr kleinen Strukturgrößen anwenden kann, bei denen das reaktive Ionenätzen (RIE) nicht mehr einsetzbar ist. Weiterhin ist die „Damascene“-Technik auch für
5 alle Metalle geeignet, die wie z.B. Kupfer keine leichtflüchtigen Verbindungen bilden und daher nicht mittels RIE-Verfahren strukturiert werden können.

10 Bisherige Ansätze wie sie etwa aus der europäischen Patentanmeldung EP 1 130 654 A1 und den Artikeln „Single Mask MIM Capacitor with Cu Damascene Metallization for sub-0.18µm Mixed Mode Signal and System-on-a-Chip Applications“, IEEE (2000) S. 111 ff. von Kiu et al. Und „System on a Chip Technology Platform for 0,18µm Digital, Mixed Signal & eDRAM
15 Applications“, Infineon Techn. Corp. and IBM Microelectronics Div. von R. Mahnkopf et al. bekannt sind, verwenden die in der Mikroelektronik bekannten und gut charakterisierten Materialien Siliziumdioxid bzw. Silizium-Nitrid als Dielektrikum.
20

Jedoch liegen die Dielektrizitätskonstanten k dieser Materialien mit Werten von ca. vier bzw. sieben nicht sonderlich hoch. Weiterhin müssen sie wegen der Anwendung in der
25 Mehrlagenmetallisierung in Plasma- (PECVD-) Verfahren abgechieden werden. Diese Verfahren zeichnen sich typischerweise durch hohe Abscheideraten, aber auch durch hohe Defektdichten und mindere Schichtqualität aus. Daher lassen sich in Plasmaverfahren praktisch keine Schichten unter 60 nm mit reproduzierbarer Dicke und ausreichender Qualität herstellen.
30

Bei den oben zitierten Integrationskonzepten erfolgt außerdem die Strukturierung der Top-Elektrode mit Hilfe einer Top-Elektroden-Ätzung, die in dem Dielektrikum des Kondensators gestoppt werden muß. Aus diesem Grund erfordern diese
35 Verfahren zwingend eine Dielektrikumsschicht mit einer ausreichenden Dicke von mindestens 60 nm.

Figur 4 zeigt einen Ausschnitt aus einem Querschnitt durch ein integriertes Halbleiterprodukt mit einem MIM-Kondensator nach dem Stand der Technik. Dabei sind in einem unteren Intermetall-Dielektrikum 1 untere Leiterbahnen 20 mittels Vias 21 mit einer mittleren Ebene von Leiterbahnen 3, 19 verbunden. Die Leiterbahnen 3, 19, 20 und die Vias 21 sind mittels „Damascene“-Technik hergestellt.

10 Auf die planarisierte Oberfläche der mittleren Leiterbahnebene ist dann als untere Elektrode 2 des Kondensators eine 50 nm dicke Schicht aus TaN mittels PVD-Abscheidung aufgebracht. Darauf ist eine wiederum ca. 60 nm dicke Schicht als Kondensator-Dielektrikum 6 aufgebracht. Diese Schicht 6
15 kann z.B. aus SiO_2 bestehen, das mittels CVD aufgedampft wird. Darüber wird die zweite Elektrode 8 des Kondensators aufgebracht, die z.B. durch eine 50 nm dicke TaN Schicht gebildet sein kann.

20 Anschließend erfolgt die Strukturierung des zur Bildung des Kondensators vorgesehenen Schichtstapels, wobei der Ätzstop im Bereich des Kondensators (in der Figur links) auf dem Intermetall-Dielektrikum erfolgen muß, während der Ätzstop im Bereich der mittleren Leiterbahn 3 auf Kupfer erfolgt. Nach
25 der Strukturierung wird eine Passivierungsschicht 12 aus Si_3N_4 abgeschieden. Die mittlere Leiterbahn 3 und die obere Elektrode 8 des Kondensators werden mittels Vias 13 kontaktiert. Diese Vias 13 sind in einem oberen Intermetall-Dielektrikum 11 ausgebildet und durch obere Leiterbahnen 14
30 abgeschlossen. Die so gebildete Oberfläche wird wiederum mittels CMP-Technik planarisiert.

Erhebliche prozeßtechnische Schwierigkeiten verursachen vor allem der notwendige Ätzstop auf Kupfer und die anschließende Lackentfernung bei freiliegendem Kupfer. Hier besteht
35 die große Gefahr, daß die Qualität der Kupferbahn 3 beeinträchtigt wird. Ein weiteres Problem entsteht durch die

vollständige Freiätzung des Kondensator-Stapels 2, 6, 8:
Durch Unterätzung ergibt sich eine erhöhte Ausfallwahrscheinlichkeit durch mögliche Kurzschlüsse an den vertikalen Kanten.

5

Das Problem des Ätzstops auf Kupfer ist im Stand der Technik bereits erkannt worden. Gemäß einer bereits bekannten Lösung wird vorgeschlagen, zusätzlich eine dünne Si_3N_4 -Schicht direkt nach der Planarisierung der mittleren Leiterbahnenebene 1, 3, 19 abzuscheiden. Anschließend wird die Si_3N_4 -Schicht an der Stelle, an der der MIM-Kondensator vorgesehen ist, geöffnet. Der für diesen Schritt benötigte Fotolack wird bei offenliegender Kupferbahn 19 (Fig. 4 links) gestrippt.

15

Bei dem oben beschriebenen Verfahren stellt sich das prozeßtechnische Problem, daß bei der Öffnung der Si_3N_4 -Schicht der Fotolack bei freiliegender Kupferbahn entfernt werden muß. Wegen der Oxidationsanfälligkeit von Kupfer ist daher mit einer Verschlechterung der Leiterbahnqualität zu rechnen. Außerdem ist gegenüber dem zuerst geschilderten Verfahren ein zusätzlicher Strukturierungsschritt und auch eine zusätzliche Fotomaske erforderlich, was wiederum den Aufwand und die Kosten für den Prozeßablauf deutlich erhöht.

25

Bei dem in EP 1 130 654 A1 beschriebenen integrierten Halbleiterprodukt wird die vorhandene Kupferbahn 19 als untere Elektrode 2 verwendet. Auf die mittels CMP-Technik planalisierte Oberfläche wird ein Schichtstapel aus Kondensator-Dielektrikum und dem Material für die obere Elektrode 8 abgeschieden. Anschließend wird dieser Stapel strukturiert, wobei der Ätzvorgang im Kondensator-Dielektrikum 6 stoppen muß.

35

Da bei diesem Verfahren der Ätzvorgang im Kondensator-Dielektrikum stoppen muß, bestehen strikte Einschränkungen bezüglich der Dicke und des Kondensator-Materials für das Dielektrikum 6. Da außerdem das Dielektrikum direkt auf die äußerst empfindliche Kupfer-Oberfläche abgeschieden wird,

verbieten sich aufgrund der Oxidationsneigung von Kupfer Plasmaverfahren zur SiO_2 -Abscheidung, die als einen Reaktionspartner Sauerstoff verwenden. Dadurch können SiO_2 und andere sauerstoffhaltige in diesem Verfahren nicht als Kondensator-Dielektrika verwendet werden.

Weiterhin liegt die flächenspezifische Kapazität solcher bekannter Kondensatoren um $1 \text{ fF}/\mu\text{m}^2$; für zukünftige Hochfrequenzanwendungen ist jedoch ein Mehrfaches dieses Wertes erforderlich. Die flächenspezifische Kapazität eines Kondensators wird im wesentlichen durch die Dicke der dielektrischen Trennschicht und den Wert der Dielektrizitätskonstante bestimmt. Eine Erhöhung der flächenspezifischen Kapazität eines Kondensators kann deshalb durch die Verwendung von Dielektrika mit einer hohen Dielektrizitätskonstante (>8) erreicht werden. Weiterhin führen auch Isolationsschichten, die dünner als 60 nm sind, zu einer Erhöhung der flächenspezifischen Kapazität.

Ausgehend vom beschriebenen Stand der Technik liegt der Erfindung die Aufgabe zugrunde, ein verbessertes integriertes Halbleiterprodukt mit Leiterbahnen und einem Metall-Isolator-Metall-Kondensator zu schaffen und ein Verfahren zu dessen Herstellung anzugeben.

25

Diese Aufgabe wird durch ein integriertes Halbleiterprodukt nach Anspruch 1 und ein Verfahren nach Anspruch 15 gelöst. Weitere vorteilhafte Ausgestaltungen und Aspekte der Erfindung sind in den abhängigen Ansprüchen, der Beschreibung sowie in den beiliegenden Figuren angegeben.

30

Erfindungsgemäß wird ein integriertes Halbleiterprodukt mit Leiterbahnen, welche als wesentlichen Bestandteil Kupfer aufweisen, bereitgestellt, das zumindest einen Metall-Isolator-Metall-Kondensator aufweist, der eine erste Elektrode, eine dielektrische Schicht und eine zweite Elektrode umfaßt. Die dielektrische Schicht ist dabei in einer über der

35

ersten Elektrode angeordneten Öffnung einer dielektrischen Hilfsschicht angeordnet.

Weiterhin wird ein Verfahren zur Herstellung eines integrierten Halbleiterprodukts mit Leiterbahnen, welche als wesentlichen Bestandteil, Kupfer aufweisen, und zumindest einem Metall-Isolator-Metall-Kondensator, der eine erste Elektrode, eine dielektrische Schicht und eine zweite Elektrode umfaßt, bereitgestellt. Das Verfahren umfaßt die folgenden Schritte:

10

(a) die erste Elektrode wird in einer Schicht erzeugt, die auch als Schicht für Leiterbahnen vorgesehen ist;

15

(b) eine dielektrische Schutzschicht wird aufgebracht;

(c) eine dielektrische Hilfsschicht wird aufgebracht;

20

(d) die dielektrische Schutzschicht und die dielektrische Hilfsschicht werden über der ersten Elektrode geöffnet;

(e) die dielektrische Schicht für den Kondensator wird erzeugt;

25

(f) die zweite Elektrode wird erzeugt.

Das hier vorgestellte Konzept eignet sich insbesondere, aber nicht ausschließlich, zur Integration von MIM-

30

Kondensatoren mit dünnen Dielektrika ohne die Zuverlässigkeit der übrigen Metallbahnen signifikant zu verändern. Die Zuverlässigkeit der übrigen Metallbahnen bleibt im wesentlichen unverändert, da insbesondere keine Reste der dielektrischen Kondensatorschicht auf den übrigen Metallbahnen vorhanden

35

ist. Außerdem ist das Verfahren gemäß der vorliegenden Erfindung bezüglich der einzelnen Prozeßschritte relativ unkritisch zu realisieren und erlaubt größere Freiheiten in der

Auswahl von Materialien und deren Dicke. Insbesondere besitzt das Verfahren gemäß der vorliegenden Erfindung den Vorteil, daß Via-Ätzungen deutlich einfacher als nach dem Stand der Technik durchgeführt werden können, da kein Durchätzen der
5 restlichen, dielektrischen Kondensatorschicht über den Metallbahnen notwendig ist.

Der Metall-Isolator-Metall-Kondensator weist eine erste Elektrode auf, die in einer Metallebene für Leiterbahnen ausgebildet ist. Da die dielektrische Zwischenschicht und die
10 Metallisierungsschicht für die zweite Elektrode dünn gehalten werden kann, kann der Metall-Isolator-Metall-Kondensator ohne große Schwierigkeiten in ein bestehendes Konzept zur Herstellung eines integrierten Halbleiterprodukts mittels „Damascene“-Technik integriert werden.
15

Zweckmäßigerweise wird der Metall-Isolator-Metall-Kondensator dadurch hergestellt, daß auf ein Substrat eine Metallschicht für Leiterbahnen aufgebracht wird. Nachfolgend
20 wird auf die Metallschicht für Leiterbahnen eine dielektrische Schutzschicht und eine dielektrische Hilfsschicht abgeschieden. Die dielektrische Hilfsschicht dient als partielle Opferschicht und spielt nicht die Rolle des MIM-Dielektrikums, sondern wird Teil des später aufgetragenen Intermetall-Dielektrikums (IMD). Mit den bekannten Methoden der
25 Lithographie und Ätztechnik werden die dielektrische Schutzschicht und die dielektrische Hilfsschicht an jenen Stellen, an denen die Integration eines MIM-Kondensators vorgesehen ist, entfernt. Vorzugsweise wird der zum Öffnen der beiden
30 Schichten benötigte Fotolack bereits verascht, wenn die Schutzschicht noch nicht entfernt wurde. Dabei ist es insbesondere bevorzugt, wenn eine entsprechende Ätzung selektiv auf der unteren Elektrode stoppt. Auf die entsprechend strukturierte Oberfläche wird eine Dielektrikumsschicht aus frei
35 wählbarem Material und beliebiger Dicke abgeschieden. Nachfolgend werden die Materialien, die die zweite Elektrode bilden, aufgebracht und entsprechend strukturiert.

Damit ist die Möglichkeit eröffnet, eine extrem dünne dielektrische Schicht per ALD (atomic layer deposition) atomlagenweise abzuscheiden. Da dabei keinerlei Plasmaanregung verwendet wird, steht mit der ALD anstelle von PECVD ein weiteres alternatives Verfahren zur Abscheidung von oxidischen oder sauerstoffhaltigen Schichten zur Verfügung, ohne die Kupfer-Oberfläche zu beschädigen.

10 Gemäß einer weiteren bevorzugten Ausführungsform des erfindungsgemäßen Verfahrens wird vor Schritt (e) auf die erste Elektrode eine leitende Barriere aufgebracht. Dabei ist es insbesondere bevorzugt, wenn die leitende Barriere selektiv nur auf die freiliegende erste Elektrode aufgebracht wird.

15

Nachfolgend wird ein Ausführungsbeispiel der Erfindung anhand der beigefügten Zeichnungen erläutert. Es zeigen:

20 Figur 1 einen Ausschnitt aus einem Querschnitt durch ein integriertes Halbleiterprodukt, das einen Metall-Isolator-Metall-Kondensator enthält, gemäß einem Ausführungsbeispiel der Erfindung.

25 Figur 2 einen Ausschnitt aus einem Querschnitt durch ein integriertes Halbleiterprodukt gemäß einem Ausführungsbeispiel der vorliegenden Erfindung in einem ersten Prozeßstadium, wobei eine dielektrische Hilfsschicht bereits über der ersten Elektrode geöffnet ist.

30

Figur 3 einen Ausschnitt aus einem Querschnitt durch ein integriertes Halbleiterprodukt gemäß einem Ausführungsbeispiel der vorliegenden Erfindung in einem zweiten Prozeßstadium, wobei der Kondensatorstapel bereits strukturiert worden ist.

35

Figur 4 einen Ausschnitt aus einem Querschnitt durch einen MIM-Kondensator in „Damascene“-Technik gemäß dem Stand der Technik.

5

Figur 2 zeigt eine Metallbahn in „Damascene“-Architektur mit einer Leiterbahn 3 aus Cu wie sie auch im entsprechenden Stand der Technik verwendet wird. Dabei soll die Leiterbahn 2 auch als untere MIM-Elektrode fungieren. Auf die Metallbahn
10 wird eine dielektrische Schutzschicht 5 aus Si_3N_4 abgeschieden. Auf diese Schutzschicht wird dann anschließend eine dielektrische Hilfsschicht 16 aus SiO_2 von ca. 50-100 nm Dicke mit bekannten, metallisierungskompatiblen Verfahren abgeschieden. Sie dient als partielle Opferschicht und spielt
15 nicht die Rolle eines MIM-Dielektrikums sondern wird Teil des später aufgetragenen Intermetall-Dielektrikums (IMD). Mit den bekannten Methoden der Lithographie und Ätztechnik wird die dielektrische Hilfsschicht an der Stelle 17, an der die Integration eines MIM-Kondensators vorgesehen ist, entfernt. Nach
20 dem Entfernen der Hilfsschicht 16 wird der zur Strukturierung der Öffnung verwendete Fotolack verascht. Dabei ist die erste Elektrode 2 durch die Schutzschicht 5 während des Veraschens geschützt. Eine weitere Leiterbahn 3 ist während des Veraschens sowohl durch die verbliebene Hilfsschicht 16 wie auch
25 durch die Schutzschicht 5 geschützt. Anschließend wird ein eventuell in der Öffnung verbliebener Rest der SiO_2 -Hilfsschicht und die Schutzschicht 5 entfernt. Dabei dient die partiell entfernte Hilfsschicht 16 als Hartmaske für die Öffnung.

10

Figur 3 zeigt den MIM-Kondensator nach erfolgter Abscheidung und Strukturierung des MIM-Dielektrikums 6, der oberen Elektrode 7, 8, 9 und einer Passivierungsschicht 10. Nach dem Öffnen der dielektrischen Hilfsschicht 16 und der
5 Schutzschicht 5 wird nun eine dielektrische Schicht 6 beispielsweise aus Al_2O_3 mit einer Dicke von 20 nm erzeugt. Dies ist jedoch nicht zwingend, da das Dielektrikum 6 frei wählbar

ist und in beliebiger Dicke abgeschieden werden kann. Vor der Abscheidung des Dielektrikums kann weiterhin eine leitende Barriere (nicht gezeigt), beispielsweise TaN, auf die erste Elektrode aufgebracht werden. Dabei ist es insbesondere bevorzugt, wenn die leitende Barriere selektiv nur auf die freiliegende erste Elektrode aufgebracht wird.

Da ein Integrationsweg gemäß diesem Ausführungsbeispiel keine Mindestanforderungen an Dicke, Ätzverhalten und andere Eigenschaften der dielektrischen Schicht 6 stellt, sind beliebige Verfahren zu ihrer Erzeugung einsetzbar wie CVD, PECVD, MOCVD, und PVD, solange die Schichten bei Temperaturen unter 400°C erzeugt werden können. Die dielektrische Schicht 7 kann auch mit Hilfe einer Oxidation der Oberfläche der unteren Elektrode oder mit Hilfe der Oxidation einer dafür vorgesehenen Schicht (z.B. Ta und/oder TaN) auf der unteren Elektrode erzeugt werden. Weiterhin ist die Möglichkeit eröffnet, die dielektrische Schicht 6 per ALD (atomic layer deposition) abzuscheiden. Dieses Verfahren erlaubt es, mittels atomlagenweiser Abscheidung extrem dünne Schichten herzustellen. Das erfindungsgemäße Verfahren eröffnet den Zugang zu Kondensatoren mit spezifischen Kapazitäten von 3 fF/pm² bis deutlich über 10 fF/pm², die mit den bisherigen Ansätzen nicht mit ausreichender Qualität reproduzierbar hergestellt werden konnten.

Durch Abscheidung mittels ALD wird ein alternatives Verfahren zur PECVD zur Verfügung gestellt, das es erlaubt, oxidische oder sauerstoffhaltige Schichten abzuscheiden. Da die ALD keinerlei Plasmaanregungen verwendet, wird die empfindlichen Kupfer-Oberfläche der ersten Elektrode und damit die Qualität des Kondensators nicht degradiert.

Nachfolgend werden die Materialien für die obere Elektrode aufgebracht. Diese umfassen leitende Barrieren 7, 9, die beispielsweise TiN beinhalten können. Dazwischen ist eine metallische Schicht 8 angeordnet, die beispielsweise AlCu be-

inhalten kann. Die durch die vorausgegangene Öffnung 17 der dielektrischen Hilfsschicht 16 erzeugte Topologie ist relativ gering: Die Kantenlänge der unteren Elektroden ist größer 1 μm und die Stufenhöhe beträgt ca. 50 -100 nm. Die Topologie
5 kann daher von den gewählten Abscheideverfahren gut bedeckt werden. Auf die obere leitende Barriere 9 wird noch eine Passivierungsschicht 10 aus Si_3N_4 abgeschieden.

Anschließend erfolgt die Ätzung des Stapels aus der Passivierungsschicht 10, der oberen Elektrode 7, 8, 9, der dielektrischen Schicht 6 und der Hilfsschicht 16. Dabei sind an die auf der Schutzschicht 5 verbleibende Restdicke der dielektrischen Hilfsschicht 16 und damit an die Selektivität des Ätzprozesses keine besonderen Anforderungen gestellt. Dadurch
15 entsteht im Gegensatz zu den beschriebenen und dazu ähnlichen Konzepten ein sehr großes Prozeßfenster für die gesamte Vorgehensweise bei gleichzeitiger freier Wahl des Dielektrikums 6 und seiner Dicke.

Darauffolgend wird ein oberes Intermetall-Dielektrikum
20 11 abgeschieden. Etwaige Reste der dielektrischen Hilfsschicht 16 werden nun einfach ein Teil dieses IMDs 11. Zur Kontaktierung des Kondensators und der unteren Leiterbahn 3 werden Vias 13 ausgebildet, die an ihrem oberen Ende mit oberen Leiterbahnen 13 verbunden sind. Diese oberen Leiterbahnen
25 14 sind wiederum in ein Intermetall-Dielektrikum 15 eingebettet. Dabei können die Via-Ätzungen deutlich einfacher als nach dem Stand der Technik durchgeführt werden, da kein Durchätzen der restlichen, dielektrischen Kondensatorschicht
30 über den Metallbahnen notwendig ist.

Alle Leiterbahnen und Vias sind in diesem Ausführungsbeispiel mittels der „Damascene“-Technik ausgebildet.

35 Die im obigen Ausführungsbeispiel beschriebenen Metallisierungs- und Plattenkondensator-Materialien sind beispielhaft und nicht auf diese beschränkt. Insbesondere sind alle

leitenden Materialien wie Si, W, Cu, Ag, Au, Ti, Pt und Legierungen davon als Leiterbahnen einsetzbar. Als alternative Barrieren bzw. Linerschichten eignen sich neben Ti und TiN insbesondere auch TiW, W, WN_x mit $0 \leq x \leq 2$, Ta, TaN, Silizide und Karbide. Als Elektroden lassen sich alle genannten Materialien und deren Kombinationen verwenden. Neben den klassischen Dielektrika der Halbleitertechnologie SiO_2 und Si_3N_4 steht die gesamte Palette an Materialien mit deutlich höherem k zur Verfügung, insbesondere Al_2O_3 , ZrO_2 , HfO_2 , Ta_2O_5 , La_2O_3 , TiO_2 sowie die jeweiligen Mischoxide, Oxinitride und Silikate hieraus, $SrTiO_3$, $Ba_xSr_{1-x}TiO_3$ mit $0 \leq x \leq 1$ (BST) und $PbZr_xTi_{1-x}O_3$ mit $0 \leq x \leq 1$ (PZT).

Patentansprüche

1. Integriertes Halbleiterprodukt mit Leiterbahnen, welche
als wesentlichen Bestandteil Kupfer aufweisen, und zumin-
5 dest einem Metall-Isolator-Metall-Kondensator, der eine
 erste Elektrode (2), eine dielektrische Schicht (6) und
 eine zweite Elektrode (7, 8, 9) umfaßt,
 dadurch gekennzeichnet, daß
 die dielektrische Schicht (6) in einer über der ersten
10 Elektrode angeordneten Öffnung (17) einer dielektrischen
 Hilfsschicht (16) angeordnet ist.
2. Halbleiterprodukt nach Anspruch 1,
 dadurch gekennzeichnet, daß
15 zwischen der ersten Elektrode (2) und der dielektrischen
 Hilfsschicht eine dielektrische Schutzschicht (5) ange-
 ordnet ist, wobei die Öffnung (17) auch die dielektrische
 Schutzschicht umfaßt.
- 20 3. Halbleiterprodukt nach Anspruch 1 oder 2,
 dadurch gekennzeichnet, daß
 die dielektrische Schutzschicht (5) Si_3N_4 beinhaltet.
- 25 4. Halbleiterprodukt nach einem der Ansprüche 1 bis 3,
 dadurch gekennzeichnet, daß
 die dielektrische Schicht (6) und mindestens einen der
 folgenden Stoffe beinhaltet: Al_2O_3 , HfO_2 , La_2O_3 , Ta_2O_5 ,
 TiO_2 , ZrO_2 sowie alle Mischoxide, Oxinitride und Silikate
 hieraus, SrTiO_3 , $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ mit $0 \leq x \leq 1$ (BST), $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$
30 mit $0 \leq x \leq 1$ (PZT), SiO_2 , Si_3N_4 .
5. Halbleiterprodukt nach einem der vorhergehenden Ansprüche,
 dadurch gekennzeichnet, daß
 die zweite Elektrode ein Stapel aus einer Metallschicht
35 (8) und leitenden Barrieren (7, 9) ist.
6. Halbleiterprodukt nach einem der vorhergehenden Ansprüche,

dadurch gekennzeichnet, daß
die ersten Elektrode ein Stapel aus einer Metallschicht
und einer leitenden Barriere ist.

- 5 7. Halbleiterprodukt nach Anspruch 5 oder 6,
dadurch gekennzeichnet, daß
die Barrieren mindestens einen der folgenden Stoffe beinhalten: Ta, TaN, TiW, W, WN_x mit $0 < x < 2$, Ti, TiN, Silizide, Karbide.

10

8. Halbleiterprodukt nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet, daß
die erste und/oder die zweite Elektrode zusätzlich zu dem Kupfer wenigstens eines der folgenden Metalle beinhaltet:
15 Al, Si, W, Au, Ag, Ti, Pt.

20

9. Halbleiterprodukt nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet, daß
die dielektrische Schicht (6) von einem dielektrischen Material mit einer Dielektrizitätskonstante > 8 gebildet ist.

25

10. Halbleiterprodukt nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet, daß
die dielektrische Schicht (6) nach einem der folgenden Verfahren aufgebracht ist: CVD, PECVD, MOCVD, PVD, ALD.

30

11. Halbleiterprodukt nach einem der Ansprüche 1 bis 10,
dadurch gekennzeichnet, daß
die dielektrische Schicht (7) durch eine Oxidation der Oberfläche der ersten Elektrode oder durch eine Oxidation einer Schicht auf der ersten Elektrode erzeugt wird.

35

12. Halbleiterprodukt nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet, daß

die Dicke der dielektrischen Schicht (6) geringer als 60 nm ist.

13. Halbleiterprodukt nach einem der vorhergehenden Ansprüche,
5 dadurch gekennzeichnet, daß
die flächenspezifische Kapazität des Kondensators mindestens 3 fF/ μm^2 beträgt.

10 14. Verfahren zur Herstellung eines integrierten Halbleiterprodukts mit Leiterbahnen, welche als wesentlichen Bestandteil Kupfer aufweisen, und zumindest einem Metall-Isolator-Metall-Kondensator, der eine erste Elektrode (2),
eine dielektrische Schicht (6) und eine zweite Elektrode
15 (7, 8, 9) umfaßt, mit folgenden Schritten:

(a) die erste Elektrode wird in einer Schicht erzeugt, die auch als Schicht für Leiterbahnen vorgesehen ist;

20 (b) eine dielektrische Schutzschicht (5) wird aufgebracht;

25 (c) eine dielektrische Hilfsschicht (16) wird aufgebracht;

(d) die dielektrische Schutzschicht (5) und die dielektrische Hilfsschicht (16) werden über der ersten Elektrode geöffnet;

30 (e) die dielektrische Schicht (6) für den Kondensator wird erzeugt;

(f) die zweite Elektrode wird erzeugt.

35 15. Verfahren nach Anspruch 14,
dadurch gekennzeichnet, daß

der zur Strukturierung der Öffnung (17) verwendete Fotolack bereits verascht wird, wenn die erste Elektrode noch von der dielektrischen Schutzschicht bedeckt ist.

- 5 16. Verfahren nach Anspruch 14 oder 15,
dadurch gekennzeichnet, daß
für die zweite Elektrode zwei leitende Barrieren (7, 9)
und eine dazwischen angeordnete Metallschicht (8) aufgebracht werden.
- 10 17. Verfahren nach einem der Ansprüche 14 bis 16,
dadurch gekennzeichnet, daß
zur Erzeugung der dielektrischen Schicht (6) eines der
folgenden Verfahren verwendet wird: CVD, PECVD, MOCVD,
15 PVD, ALD.
18. Verfahren nach einem der Ansprüche 14 bis 17,
dadurch gekennzeichnet, daß
zur Erzeugung der dielektrischen Schicht (6) die Oberfläche
20 der ersten Elektrode oder eine Schicht auf der ersten Elektrode oxidiert wird.
19. Verfahren nach einem der Ansprüche 14 bis 18,
dadurch gekennzeichnet, daß
25 die dielektrische Hilfsschicht (16) Teil eines nach dem Erzeugen der zweiten Elektrode abgeschiedenen oberen Intermetall-Dielektrikums (11) wird.
20. Verfahren nach einem der Ansprüche 14 bis 19,
30 dadurch gekennzeichnet, daß
zumindest eine obere Leiterbahn (14) über zumindest einen Via (13) mit dem Kondensator verbunden wird.
21. Verfahren nach einem der Ansprüche 14 bis 20,
35 dadurch gekennzeichnet, daß
die erste Elektrode (2) in einem Damascene-Verfahren hergestellt wird.

INTERNATIONAL SEARCH REPORT

Intern dication No

PCT/EP 02/12213

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L21/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 271 084 B1 (CHI MIN-HWA ET AL) 7 August 2001 (2001-08-07) column 4, line 29 - line 37; figures 1-7	1-23
X	US 6 329 234 B1 (CHEN CHUN-HON ET AL) 11 December 2001 (2001-12-11) figures 1-11	1-8, 10, 12-23
A	EP 1 130 654 A (INFINEON TECHNOLOGIES AG) 5 September 2001 (2001-09-05) cited in the application claim 4	7, 8

-/--

☒ Further documents are listed in the continuation of box C.☒ Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- * & * document member of the same patent family

Date of the actual completion of the international search

11 March 2003

Date of mailing of the international search report

19/03/2003

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
 Fax: (+31-70) 340-3016

Authorized officer

Juhl, A

INTERNATIONAL SEARCH REPORT

Inten Application No
PCT/CH 92/12213

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>LIU R ET AL: "SINGLE MASK METAL-INSULATOR-METAL (MIM) CAPACITOR WITH COPPER DAMASCENE METALLIZATION FOR SUB-0.18MUM MIXED MODE SIGNAL AND SYSTEM-ON-A-CHIP (SOC) APPLICATIONS" PROCEEDINGS OF THE IEEE, INTERNATIONAL INTERCONNECT TECHNOLOGY CONFERENCE, XX, XX, 5 June 2000 (2000-06-05), pages 111-113, XP001134903 cited in the application figures 1-3</p>	1,14
A	<p>MAHNKOPF R ET AL: "'System on a chip' technology platform for 0.18 /spl mu/m digital, mixed signal and eDRAM applications" ELECTRON DEVICES MEETING, 1999. IEDM TECHNICAL DIGEST. INTERNATIONAL WASHINGTON, DC, USA 5-8 DEC. 1999, PISCATAWAY, NJ, USA, IEEE, US, 5 December 1999 (1999-12-05), pages 849-852, XP010372100 ISBN: 0-7803-5410-9 cited in the application figure 9</p>	1,14

INTERNATIONAL SEARCH REPORT

in on patent family members

Interr. Application No

PCT, L. No. /12213

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 6271084	B1	07-08-2001	NONE	
US 6329234	B1	11-12-2001	US 2002019123 A1	14-02-2002
EP 1130654	A	05-09-2001	EP 1130654 A1	05-09-2001
			WO 0165610 A1	07-09-2001
			EP 1264351 A1	11-12-2002

INTERNATIONALER BEFCHERCHENBERICHT

Intern ktenzeichen
PCT, CI 02/12213

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES IPK 7 H01L21/02		
Nach der internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK		
B. RECHERCHIERTE GEBIETE		
Recherchiertes Mindestprüfstoﬀ (Klassifikationssystem und Klassifikationssymbole) IPK 7 H01L		
Recherchierte aber nicht zum Mindestprüfstoﬀ gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe) EPO-Internal		
C. ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Beitrag Anspruch Nr.
X	US 6 271 084 B1 (CHI MIN-HWA ET AL) 7. August 2001 (2001-08-07) Spalte 4, Zeile 29 - Zeile 37; Abbildungen 1-7	1-23
X	US 6 329 234 B1 (CHEN CHUN-HON ET AL) 11. Dezember 2001 (2001-12-11) Abbildungen 1-11	1-8, 10, 12-23
A	EP 1 130 654 A (INFINEON TECHNOLOGIES AG) 5. September 2001 (2001-09-05) in der Anmeldung erwähnt Anspruch 4	7, 8
-/-		
<div style="display: flex; justify-content: space-between;"> <div> <input checked="" type="checkbox"/> Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen </div> <div> <input checked="" type="checkbox"/> Siehe Anhang Patentfamilie </div> </div>		
<div style="display: flex;"> <div style="flex: 1;"> <p>* Besondere Kategorien von angegebenen Veröffentlichungen :</p> <p>*A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist</p> <p>*E* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist</p> <p>*L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)</p> <p>*O* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht</p> <p>*P* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist</p> </div> <div style="flex: 1;"> <p>*T* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist</p> <p>*X* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden</p> <p>*Y* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist</p> <p>*Z* Veröffentlichung, die Mitglied derselben Patentfamilie ist</p> </div> </div>		
Datum des Abschlusses der internationalen Recherche 11. März 2003		Absendedatum des internationalen Recherchenberichts 19/03/2003
Name und Postanschrift der internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5816 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Bevollmächtigter Bediensteter Juhl, A

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	<p>LIU R ET AL: "SINGLE MASK METAL-INSULATOR-METAL (MIM) CAPACITOR WITH COPPER DAMASCENE METALLIZATION FOR SUB-0.18MUM MIXED MODE SIGNAL AND SYSTEM-ON-A-CHIP (SOC) APPLICATIONS" PROCEEDINGS OF THE IEEE, INTERNATIONAL INTERCONNECT TECHNOLOGY CONFERENCE, XX, XX, 5. Juni 2000 (2000-06-05), Seiten 111-113, XP001134903 in der Anmeldung erwähnt Abbildungen 1-3</p>	1,14
A	<p>MAHNKOPF R ET AL: "'System on a chip' technology platform for 0.18 /spl mu/m digital, mixed signal and eDRAM applications" ELECTRON DEVICES MEETING, 1999. IEDM TECHNICAL DIGEST. INTERNATIONAL WASHINGTON, DC, USA 5-8 DEC. 1999, PISCATAWAY, NJ, USA, IEEE, US, 5. Dezember 1999 (1999-12-05), Seiten 849-852, XP010372100 ISBN: 0-7803-5410-9 in der Anmeldung erwähnt Abbildung 9</p>	1,14

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichung

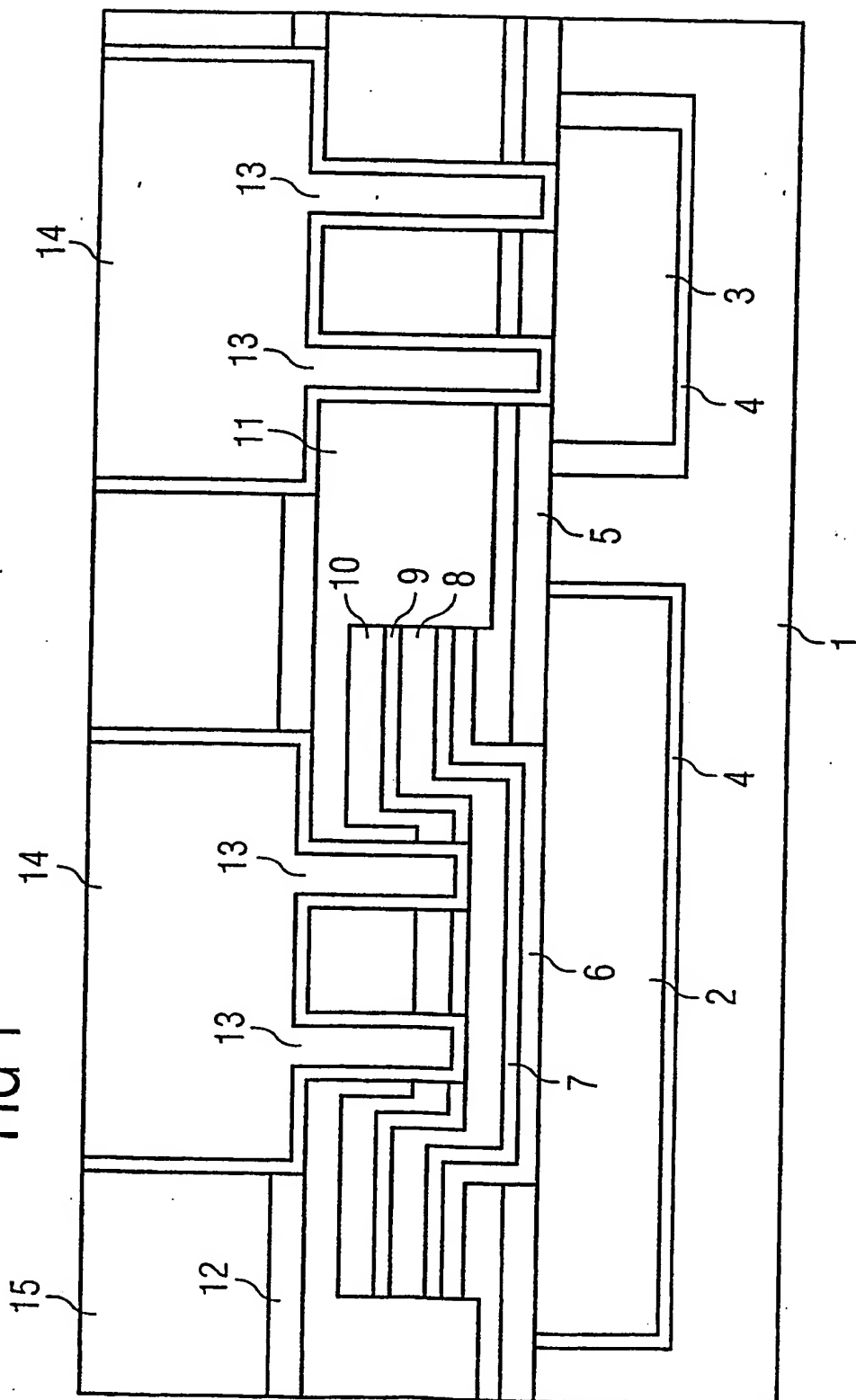
selben Patentfamilie gehören

Intern. Patenzzeichen

PCT, Nr. 02/12213

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 6271084	B1	07-08-2001	KEINE
US 6329234	B1	11-12-2001	US 2002019123 A1 14-02-2002
EP 1130654	A	05-09-2001	EP 1130654 A1 05-09-2001
		WO 0165610 A1	07-09-2001
		EP 1264351 A1	11-12-2002

FIG 1



22. Verfahren nach einem der Ansprüche 14 bis 21,
dadurch gekennzeichnet, daß
vor Schritt (e) auf die erste Elektrode eine leitende
5 Barriere aufgebracht wird.

23. Verfahren nach Anspruch 22,
dadurch gekennzeichnet, daß
vor Schritt (e) auf die erste Elektrode eine leitende
10 Barriere selektiv aufgebracht wird.

FIG 2

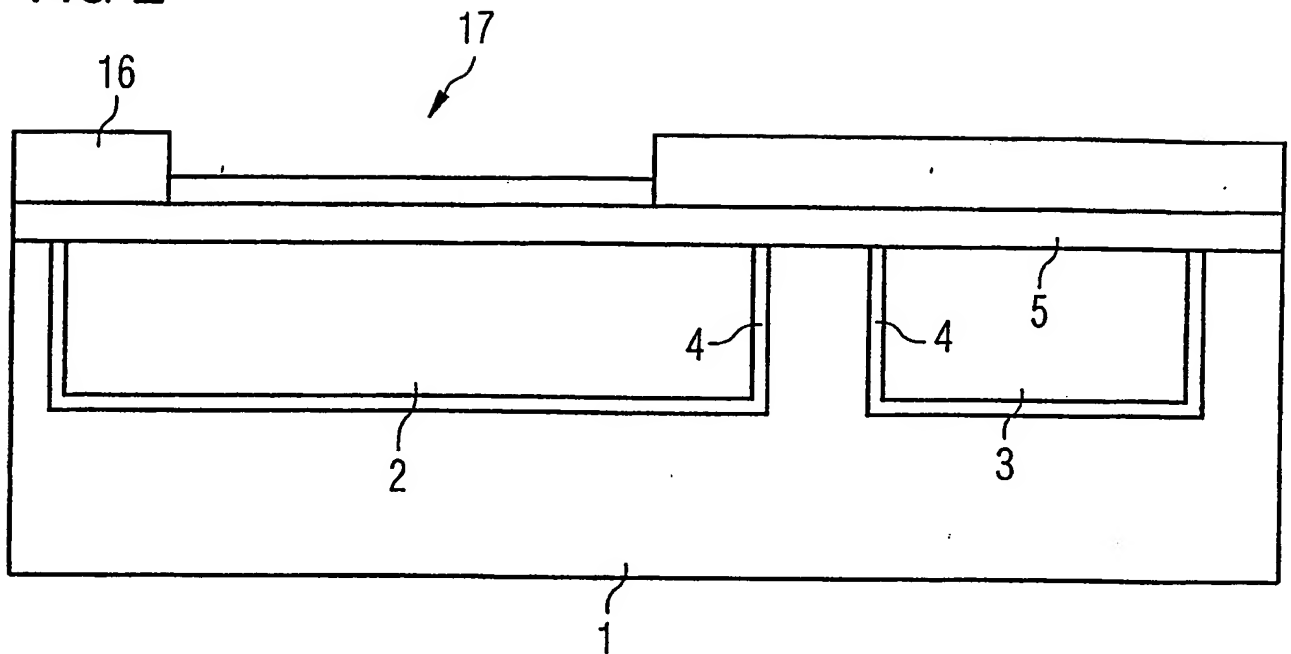


FIG 3

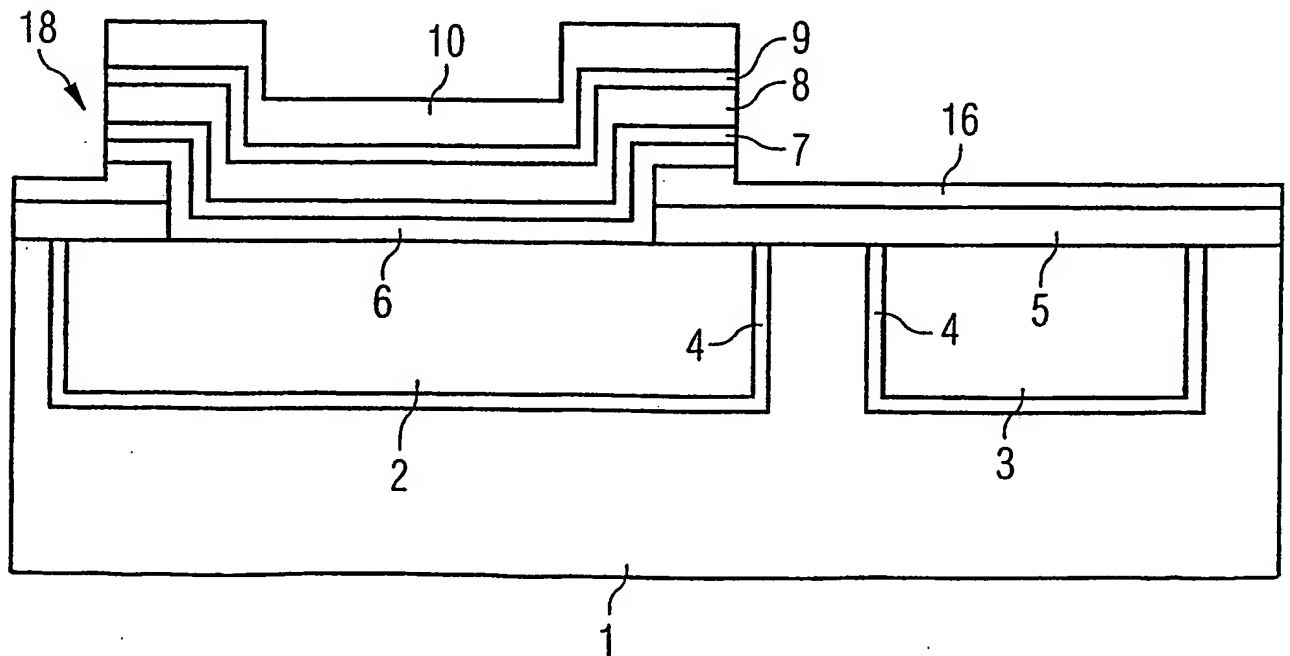


FIG 4

